



(19)

(11) Publication number: 11074488 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10184477

(51) Int'l. Cl.: H01L 27/108 H01L 21/8242

(22) Application date: 30.06.98

(30) Priority: 30.06.9701.07.9701.07.97
USUSUS 97 5125897
5140397 51408

(43) Date of application publication: 16.03.99

(84) Designated contracting states:

(71) Applicant: TEXAS INSTR INC <TI>

(72) Inventor: XING GUOQUIANG
SUMMERFELT SCOTT R
KHAMANKAR RAJESH
CERNY GLENN A
VISOKAY MARK R
COLOMBO LUIGI
KRESSLEY MARK A

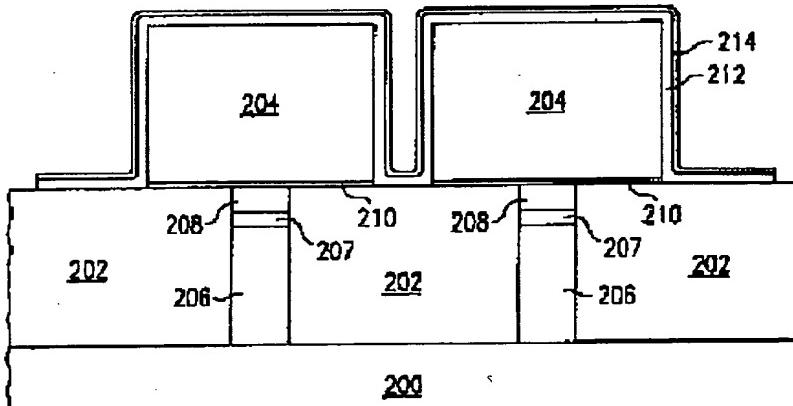
(74) Representative:

(54) INTEGRATED CIRCUIT CAPACITOR AND MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To strengthen bonding of capacitor bottom electrodes to interlayer insulators and to raise the conductivity of the bottom electrodes to conductive plugs by a method wherein the capacitor bottom electrodes of a memory circuit comprising a memory cell are bonded to the interlayer insulators making barrier body layers, the conductive plugs and the like interpose between the side surfaces of the interlayer insulators and making conductive bonding accelerating layers interpose between the bottom electrodes and the upper surfaces of the interlayer insulators.

SOLUTION: Two capacitor bottom electrodes 204, which have a charge storage layer or a capacitor insulator 212 and a top electrode 214, of a memory circuit comprising a memory cell are bonded on a silicon substrate 200 via silicon dioxide interlayer insulators 202 and barrier body layers 208 consisting of a Ti-Al-N layer. The insulators 202 are separated from each other by the layers 208, silicide layers 207 consisting of a TiSi₂ layer and conductive plugs 206, which are laminated. The electrodes 204 consist of a platinum layer of a thickness of about 350 nm or the



like, are formed into a rectangular shape and conductive bonding accelerating layers 210 consisting of a Ti-N layer or the like are respectively interposed between the electrodes 204 and the insulators 202 under the lower surfaces of the electrodes 204. Thereby, a bonding of the electrodes 204 to the insulators 205 and the conductivity of the electrodes 204 to the plugs are enhanced.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74488

(43)公開日 平成11年(1999)3月16日

(51)Int.Cl.⁸

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 B
6 2 1 C
6 5 1

(21)出願番号 特願平10-184477

(22)出願日 平成10年(1998)6月30日

(31)優先権主張番号 0 5 1 2 5 8

(32)優先日 1997年6月30日

(33)優先権主張国 米国(US)

(31)優先権主張番号 0 5 1 4 0 3

(32)優先日 1997年7月1日

(33)優先権主張国 米国(US)

(31)優先権主張番号 0 5 1 4 0 8

(32)優先日 1997年7月1日

(33)優先権主張国 米国(US)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72)発明者 グオキアン シン

アメリカ合衆国 テキサス州ダラス、オー
デリア ロード 11700 ナンバー417

(72)発明者 スコット アール サマーフェルト

アメリカ合衆国 テキサス州ガーランド、
プライドル バス コート 3202

(74)代理人 弁理士 浅村 誠 (外3名)

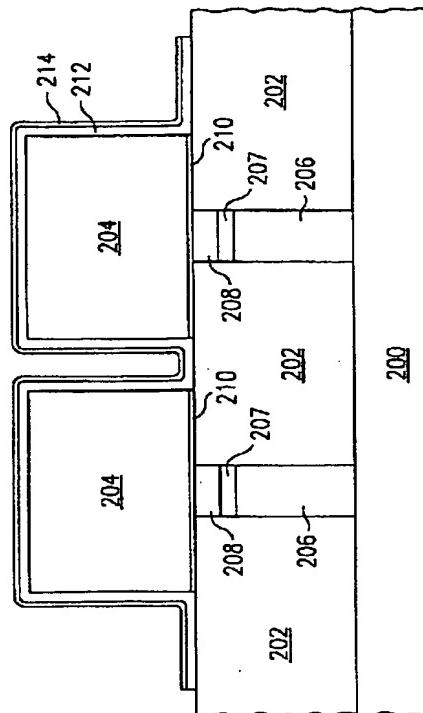
最終頁に続く

(54)【発明の名称】 集積回路キャパシタ及びメモリ

(57)【要約】

【課題】 隣接材料に対する電極の接着の促進。

【解決手段】 キャパシタのための電極構造体。この電極構造体は、酸化障壁体208を含むコンタクト・プラグと、導電性接着促進部210と酸化抵抗部204とを含む底部電極とを含み、接着促進部はコンタクト・プラグの酸化障壁体と接触する。更なる実施例において、酸化障壁体及び接着促進部はTi-Al-Nを含む。



【特許請求の範囲】

【請求項1】 メモリセルを含むメモリ回路であって、
(a) 第1の表面に導電性接着促進層を有する底部電極と、

前記底部電極の第2の表面と接触する蓄積層と、
前記蓄積層と接触する頂部電極とを有するキャパシタと、

・(b) 第1及び第2の端子とワード線制御端子とを含むトランジスタと、

(c) 前記第1のトランジスタ端子に結合されるビット線と、
を含み、

前記底部電極は、前記接着促進層に隣接する障壁体を含むプラグによって前記第2のトランジスタ端子に結合され、前記障壁体は前記接着促進層より厚いメモリ回路。

【請求項2】 第2の材料を実質的にエッチングすることなく、前記第2の材料の上にある白金層の形状をエッチングする方法であって、

(a) 前記白金層と前記第2の材料との間に接着促進層を形成し、

(b) 前記白金層上にハードマスク層を形成し、

(c) 所望の寸法の前記形状に従って、前記ハードマスク層をパターニングエッチングし、

(d) 前記ハードマスク層によって覆われてない前記白金層の部分をエッチングし、前記エッチングは前記接着促進層上で停止する工程を含む方法。

【請求項3】 白金をエッチングする方法であって、

(a) 前記白金上にTi-Al-Nハードマスク層を形成し、

(b) 前記Ti-Al-Nハードマスク層をパターニングし、塩素含有エッチング剤でエッチングして所望のパターンを形成し、

(c) 前記白金を酸素含有エッチング剤でエッチングする工程を含む方法。

【請求項4】 選択比の高いピア・エッチング・プロセスであって、

(a) Ti-Al、Ti-Al-N、Ta-Al、Al-N、Ti-Al/Ti-N、Ti-Al-N/Ti-N、Ta-Al/Ti-N、及びTi-Al/Ti-Al-Nから成るグループから選択される材料のエッチ・ストップ層を形成し、

(b) 前記エッチ・ストップ層上に絶縁体層を形成し、更に

(c) 前記絶縁体層をフッ素含有エッチング剤でエッチングする工程を含むプロセス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子デバイスに関し、更に詳細には半導体集積回路キャパシタ及びその製造方法に関するものである。

【0002】

【従来の技術及びその課題】 半導体メモリに対する要望の増大及び競合の必要性に迫られ、1トランジスタ、1キャパシタのメモリセルを基本とする一層高密度の集積回路ダイナミック・ランダム・アクセス・メモリ(DRAM)が必要とされている。しかし、標準の酸化及び窒化シリコン絶縁体(dielectric)のキャパシタの寸法を小さくすることは、セル内に蓄積される電荷量が減少するということを含む問題点を有している。そのため、酸化及び窒化シリコンより大きな誘電率をもつ代替の絶縁体が調査されている。オオジ他の「ギガビットDRAMのTa₂O₅キャパシタの絶縁体材料」IEEE IEDM Tech. Dig. 5.1.1 (1995年)に記載されたような五酸化タンタル(窒化シリコンの誘電率約7に対し、誘電率は約25)、ナカムラ他の「IrO₂を含む電極上のPb(Zr, Ti)O₃薄膜の形成」65 Appl. Phys. Lett. 15 22 (1994年)に記載された、強誘電体であり不揮発性電荷蓄積をサポートするチタン酸ジルコニア鉛(PZT)(誘電率は約1000)、ジャン(Jiang)他の「高密度の不揮発性強誘電体(SrBi₂Ta₂O₉)メモリの新しい電極技術」VLSI Tech. Symp. 26 (1996年)に記載されたタンタル酸ビスマス・ストロンチウム(同じく強誘電体)、及びヤマミチ他の「ギガビット規模のDRAMのRuO₂/Ru/TiN/TiSi_x蓄積ノードを有する積層キャパシタ技術に基くECR-MOCVD(Ba, Sr)TiO₃」IEEE IEDM Tech. Dig. 5.3.1 (1995年)、ユウキ他の「Ruの厚い蓄積ノード上のCVD-(Ba, Sr)TiO₃薄膜を有する1ギガビットDRAMの新規の積層キャパシタ技術」IEEE IEDM Tech. Dig. 5.2.1 (1995年)、及びパーク他の「1ギガビット密度のDRAMの(Ba, Sr)TiO₃絶縁体及びPt電極を有する積層キャパシタ技術」VLSI Tech. Symp. 24 (1996年)に記載されたチタン酸バリウム・ストロンチウム(誘電率は約500)など、種々の絶縁体材料を用いることができる。更に、ディーツ(Dietz)他の「SrTiO₃薄膜を介する電荷転送に対する電極影響(influence)」78 J. Appl. Phys. 6113 (1995年)(チタン酸ストロンチウム上のPt、Pd、Auなどの電極を記載)、及び米国特許番号第5,003,428号(PZT及びチタン酸バリウム)、米国特許番号第5,418,388号(BST、SrTiO₃、PZTなど)、及び米国特許番号第5,566,045号(BST上の薄いPt)を参照されたい。

【0003】 これらの代替の絶縁体は典型的に、高温及び酸化雰囲気中でデポジットされる。その結果、酸素に対して安定な(oxygen-stable)白金や酸化ルテニウムなどが底部電極材料として用いられる。しかし、白金は、シリコンに直接接するとき容易にケイ化物を形成し、更に白金粒界まで急速に拡散するために酸素に対する良好な障壁体ではない。米国特許番号第5,504,041

号において、サマーフェルトは、酸化し易い下部層に酸素を拡散させないため、白金電極下に導電性の窒化物障壁体層を用いている。白金電極に関する別の問題点は、二酸化シリコン、窒化シリコン、及び他の共通の層間絶縁体材料に対する白金の接着が弱いことである。パターニングされエッティングされた白金の構造体は、後続の工程中に剥離(debond)し易い。米国特許番号第5, 48-9, 548号、同第5, 609, 927号、及び同第5, 612, 574号は、白金電極が剥離するのを避けるために接着層を用いることを提案している。

【0004】これらの代替の絶縁体、例えばP Z T、B S T及びS B Tの幾つかは強誘電体であり、そのため強誘電体不揮発性R A M (F R A M) の蓄積体として用いることができる。材料内の電荷がD R A Mのセルのデータ内容を示すのに対し、強誘電体材料の分極(polarization)がF R A Mのセルのデータ内容を示すために用いられることを除けば、F R A MセルはD R A Mセルに類似している。材料の分極は不揮発性であるが、D R A Mにおける電荷は消散する。

【0005】

【課題を達成するための手段及び作用】本発明の一実施例に従って、メモリセルを含むメモリ回路が開示されている。メモリセルは、第1の表面に導電性接着促進層を有する底部電極、底部電極の第2の表面と接触する蓄積層、及び蓄積層と接触する頂部電極を含む。メモリセルは更に、第1及び第2の端子及びワード線制御端子を含むトランジスタと、前記第1のトランジスタ端子に結合されるビット線を含む。底部電極は、接着促進層に隣接する障壁体を含むプラグによって第2のトランジスタ端子に結合され、この障壁体は接着促進層より厚い。この新規な概念の利点は、白金電極が層間絶縁体に接着するようにつくられ、凹状の酸化障壁体が障壁体／電極界面で酸化しないようにできることである。

【0006】本発明の別の実施例に従い、第2の材料を実質的にエッティングすることなく第2の材料の上にある白金層に或る形状(feature)をエッティングする方法が開示されている。この方法は、白金層と第2の材料との間に接着促進層を形成し、白金層の上にハードマスク層を形成し、その形状の所望の寸法に従ってハードマスク層をパターニングしエッティングし、ハードマスク層によって被覆されてない白金層の部分をエッティングし、接着促進層上でエッティングを停止する工程を含む。更なる実施例において、接着促進層及びハードマスク層は、少なくとも1%のアルミニウムを含有するT i - A l - Nである。

【0007】本発明の他の実施例に従って、白金をエッティングする方法が開示されている。この方法は、白金上にT i - A l - Nハードマスク層を形成し、T i - A l - Nハードマスク層をパターニングし、塩素含有エッティング剤(chlorine-bearing etchant)でエッティングして所

望のパターンを形成し、更に白金を酸素含有(oxygen-bearing)エッティング剤でエッティングする工程を含む。この新規な概念の利点は、パターニングやエッティングが困難であった白金が、微細な形状に、及び急峻な側壁プロファイルにエッティングされ得ることである。

【0008】本発明の別の好ましい実施例に従って、選択比の高いビア・エッティング・プロセスが開示されている。このプロセスは、T i - A l、T i - A l - N、T a - A l、A l - N、T i - A l / T i - N、T i - A 1 - N / T i - N、T a - A l / T i - N、及びT i - A 1 / T i - A l - Nから成るグループから選択される材料のエッチ・ストップ層を形成し、エッチ・ストップ層上に絶縁体層を形成し、更に絶縁体層をフッ素含有エッティング剤でエッティングする工程を含む。この新規な概念の利点は、形づくられる(Featured)材料が、通常用いられる層間絶縁体に比べ、高いエッティング選択比を有することである。従って、ロング・オーバー・エッティングを含むビア・エッティング工程が、例えば、深さが大きく異なる2つのビアが同じ工程でエッティングされるときなど、エッチ・ストップ層を介してエッティングすることなく行われ得る。形づくられる材料は、非常に効果的なエッチ・ストップ層として機能することに加え、特に白金などエッティングが困難な材料にとって良好なハードマスク材料である。

【0009】

【実施例】本発明の上述の特性は、添付の図面を参照して後述の詳細な説明を読むことにより更によく理解することができる。

【0010】概観

好ましい実施例は、隣接する材料に対する電極の接着が促進され、酸化に対する効果的な障壁体を有するキャパシタを提供する。別の実施例は、急峻な側壁プロファイルを有し、酸化及び反応に対する効果的な障壁体を有する電極を形成する方法、及び電極を被覆し、後に続くプロセス工程を容易にする方法を提供する。好ましい実施例は、D R A M、F R A M、及び他の種類の集積回路において用いることができる。

【0011】図1(a)及び1(b)は2つの先行技術の電極を断面図で示す。この構造体は半導体基板100上につくられる。キャパシタは典型的に、基板表面により近いトランジスタ、ビット線などを考慮し、層間絶縁体102によって基板表面から距離を保つ。電極104と基板表面との間の接続は導電性プラグ106によって成される。反応／酸化障壁体108は、典型的に白金から成る電極と、典型的にポリシリコンから成るプラグとの間に配置される。障壁体108がない場合、約400°Cで白金電極とポリシリコン・プラグとの間にケイ化白金が形成される。酸素がある場合、絶縁物である二酸化シリコンがケイ化白金から形成され、プラグ／障壁体／電極の組合せの導電性は影響を受ける。

【0012】層間絶縁体102は典型的に二酸化シリコン又は窒化シリコンである。白金はこれらの材料のいずれともうまく接着しない。ルテニウム及びイリジウムの接着性は白金の接着性よりは良いが、歩留まりが許容可能な、微細にパターニングされた形状には充分ではなく、接着損失(adhesion loss)のため長期的な信頼性はない。絶縁体に対する接着性を改善する先行技術の方法は、薄い中間層の使用である。サマーフェルトは、米国特許番号第5, 612, 574号で薄い接着促進層としてチタン、タンタル及びルテニウムを提案した。図1

(a) に示す先行技術の構造体では、障壁体層108は、電極全体にわたって層間絶縁体102と白金底部電極104との間にあるため、許容可能な接着性を提供する。この様なアプローチは米国特許番号第5, 504, 041号において提案されている。このアプローチの欠点は、障壁体層108の露出された部分は、電極104上に高誘電率又は強誘電体のキャパシタ絶縁体(図示せず)をデポジットする間、酸化され易いことである。図1 (b) の構造体はこの障壁体の酸化の問題を避けているが、底部電極104と層間絶縁体102との間の接着性が弱い。

【0013】構造体

図2は好ましい実施例のキャパシタを断面図で示す。隣接する底部電極204の関係を明確にするために前記キャパシタの2つが示されている。基板200は半導体材料であり、好ましくはシリコン又は絶縁体上シリコン(silicon-on-insulator)である。層間絶縁体202は好ましくは二酸化シリコン(SiO₂)であるが、代替例には、Si₃N₄、Si-N、Si-O、Si-O-N、SiO₂及び前に列挙した材料のドープされたもの、TiO₂、Al₂O₃、ZrO₂、MgO、Ta₂O₅、V₂O₅、Y₂O₃、及びNb₂O₅が含まれる。層間絶縁体は、別の材料の多重層又は上述の材料の組合せであってもよいことに注意されたい。更に、例えば「Si-O-N」などのような「A-B-C」という表記は、その材料が要素A、B、Cの多様な構成で存在することを示すことに注意されたい。層間絶縁体の厚さは、トランジスタ・ゲート及びビット線構造体(図示せず)など、下にある構造体を明確にするために選択され、典型的な厚さは約200nmである。導電性プラグ206は好ましくはリン・ドープされたシリコンであり、約100nmの幅である。プラグ材料の代替例には、Ti-N、Ti-Al-N、W、Cu、Al-Cu、Al、Ti、Ti-Si-N、W-Si-N、Ti-Si、Ta-Si、W-Si、及びTiSi₂が含まれる。障壁体層208は好ましくはTi-Al-Nであり、その構成はTi-N及び(Ti_{0.5}Al_{0.5})Nの間の範囲であり、(Ti_{0.75}Al_{0.25})Nであることが好ましい。障壁体の厚さは10nmと100nmの間の範囲であり得るが、好ましい範囲は20nmと50

nmの間である。障壁体材料の代替例には、Ta-N、Ta-Al-N、Ti-Si-N、W-Si-N、Ru-N、W-N、Ru-Al-N、Ru-Si-N、Cr-N、Cr-Al-N、Mo-N、Mo-Al-N、Mo-Si-N、V-N、V-Si-N、V-Al-N、Hf-N、Hf-Al-N、3元(又は更に多元)の窒化膜(例えば、Ta-Si-N、Ta-B-N、Ti-B-N)、Zr-N、Y-N、Sc-N、La-N、窒素欠乏Al-N、ドープされたAl-N、Mg-N、Ca-N、Sr-N、Ba-N、上述の合金が含まれる。障壁体材料の別の代替例には、貴金属絶縁物合金、例えばPt-Si-N、Pd-Si-O、Pd-B-(O, N)、Pd-Al-N、Ru-Si-(O, N)、Ir-Si-O、Re-Si-N、Rh-Al-O、Au-Si-N、及びAg-Si-Nが含まれる。障壁体層は、別の材料の多重層又は上述の材料の組合せを含み得ることに注意されたい。導電性プラグ206と障壁体層208とは、ケイ化物層207、例えばTiSi₂などによって分離され得る。

【0014】底部電極204は、好ましくは約30nmから1000nmの範囲の厚さを有する白金であり、約350nmであることが好ましい。DRAMの電極の底面はf×3fの寸法の長方形であり、ここで、fは臨界寸法(即ち、電極の最小寸法)である。DRAMの臨界寸法は約0.05μmから1μmの範囲であり、好ましくは約0.16μmである。一方、FRAMの電極は、典型的に約1μm又はそれより小さい臨界寸法を有する。底部電極の代替材料には、Ru、Rh、Pd、Re、Ir、及び上述の任意の材料の合金、Pt-O、RuO₂、Ru-O、Rh-O、Pd-O、IrO₂、Ir-O、Re-O、及び上述の合金(酸素含有合金、例えば、Pt-Rh-O)、SrRuO₃、Sn-O、及びIn-Sn-Oが含まれる。底部電極は、別の材料の多重層又は上述の材料の組合せを含み得ることに注意されたい。接着促進層210は導電性であり、その構成がTi-N及び(Ti_{0.5}Al_{0.5})Nの間の範囲のTi-Al-Nであることが好ましく、好ましくは(Ti_{0.75}Al_{0.25})Nである。接着促進層は約0.2nmから10nmの間の範囲の厚さを有し、好ましい厚さは約3nmである。接着促進層210は、底部電極204の電気的分離(isolation)を提供するため、2つのキャパシタ間で連続していない。接着促進層の材料の代替例には、Ta-Al-N、Ti-Si-N、W-Si-N、W-N、W-Si-N、Cr-N、Cr-Al-N、Mo-N、Mo-Al-N、Mo-Si-N、Si-N、Si、Ge、V、V-N、V-Si-N、V-Al-N、Ti-Si、Ta-Si、W-Si、Mo-Si、Cr-Si、Pt-Si、W、Ta、Ti、Sn、Ru、In、Os、Rh、Ir、3元(又は更に多元)の窒化膜(例えば、Ta-Si-N、Ta-B-N、

Ti-B-N)、Zr-N、Y-N、Sc-N、La-N、窒素欠乏Al-N、ドープされたAl-N、Mg-N、Ca-N、Sr-N、Ba-N、及び上述の合金が含まれる。接着促進層の材料の別の代替例には、貴金属絶縁物合金、例えば、Pt-Si-N、Pd-Si-O、Pd-B-(O, N)、Pd-Al-N、Ru-Si-(O, N)、Ir-Si-O、Re-Si-N、Rh-Al-O、Au-Si-N、及びAg-Si-Nが含まれる。接着促進層は、別の材料の多重層又は上述の材料の組合せを含み得ることに注意されたい。

【0015】シリコンの薄膜も接着促進層として機能し得る。後続の熱処理の間、この層は底部電極と反応して、後に接着促進層として機能し得る非常に薄いケイ化物層を形成する。シリコンの量はデポジットされる厚さに基いて制限されるため、形成されるケイ化物の量は少なく、自己制限的(self-limiting)である。これは、ポリシリコン・プラグと底部電極との間の障壁体が欠損(fail)する場合とは異なる。その場合は、反応は自己制限的ではなく致命的なデバイス欠陥につながる。薄いSiO₂層は露出された小さな領域上に自己不活性化(self-passivating)方式で形成され得るため、電極のベースに形成される薄いケイ化物も充分に酸化耐性がある。この層の厚さのため、これがキャパシタの性能全体に与える影響は小さい。

【0016】電荷蓄積層又はキャパシタ絶縁体212は、好ましくは、約3nmから150nmの範囲の厚さを有するBa-Sr-Ti-O((Ba, Sr)TiO₃)であるが、約25nmの厚さであることが好ましい。蓄積層材料の代替例には、Ta₂O₅、PZT、Ba_{1-x}Sr_xTi_{1-y}Zr_yO₃(又は、より一般的には、BSZT)、Pb_{1-x}LaxTi_{1-y}Zr_yO₃(又は、より一般的には、PLZT)、及びBi₂A_{1-x}B_xO_{3x-3}(又は、より一般的には、層化されたペロブスカイト族の材料)が含まれ、ここでAは、Ba、Sr、Ca、Pb又はGaであり、Bは、Ti、Ta、Zr又はNbである。一般的に、好ましい蓄積層材料は、50又はそれより大きい誘電率を有する。頂部電極214は、好ましくは10nmから100nmの範囲の厚さを有する白金であり、約25nmの厚さであることが好ましい。頂部電極の代替材料には、底部電極用に前に列挙したものに加え、Ti-N、Ti-Al-N、Ta-N、Ta-Al-N、W-N、W-Al-N、Cr-N、Cr-Al-N、Ru-N、Ru-Al-N、Mo-N、Mo-Al-N、V-N、V-Al-N、Hf-N、及びHf-Al-Nが含まれる。

【0017】図3は第2の好ましい実施例のキャパシタを示し、隣接するキャパシタ間の関係を明確にするように、再び、1対のキャパシタが示されている。このセル構造体の利点は、底部電極材料の微細な形状のパターニング及びエッチングは必要としないことである。むし

ろ、パターニング及びエッチングは、キャパシタ間絶縁体層についてである。金属の微細なパターニングは反射率(reflectivity)の問題を引き起こし、特に、白金のエッチングは非常に困難である。更に、この構造体は底部電極材料の使用をより少量にできるため、材料コストの節約となり得る。第2の好ましい実施例のセルの別の利点は、ノード間の絶縁体を除去する必要がないことである。この構造体は、フリー・スタンディング(free-standing)金属を有するクラウン型のセルに比べ、物理的に安定である。

【0018】キャパシタは、好ましくはSiO₂であるキャパシタ間絶縁体材料316のトレンチに形成される。トレンチの「底面」は積層型の電極に類似している(即ち、f×3f)。キャパシタ間絶縁体の幅は、臨界値寸法である約fである。キャパシタ間絶縁体の厚さは約350nmである。絶縁体の代替例には、Si₃N₄、Si-O、Si-N、Si-O-N、及び上述のドープされたものが含まれる。図3の構造体は増大されたキャパシタ領域を提供するため、同様の物理的空间当りの容量は一層多い。接着促進層310はトレンチに沿い、底部電極304が後続の処理工程で取除かれないことを確実にするが、底部電極304の電気的分離を維持するために層310はキャパシタ間で連続していない。底部電極304は図2に示した実施例のものより薄い。その厚さは約10nmから50nmの範囲であり、約20nmであることが好ましい。他の点では、図3の構造体は図2に示したものと類似し、基板300上に形成される層間絶縁体層302を含む。底部電極304は、導電性接着促進層310、酸化障壁体308、ケイ化物層307及びプラグ306を介して基板300と接触する。底部電極304は、キャパシタ絶縁体312で、次に頂部電極314で被覆される。材料の選択及び代替例については、上述の第1の好ましい実施例を参照されたい。

【0019】図4は第3の好ましい実施例のキャパシタを示し、障壁体408が図3にあるように窪んではいないことを除けば図3に示したものと同様である。障壁体及び接着促進層410は、側壁及び底部の被覆を独立して制御することのできるプロセスを有する单一工程でデポジットされ得る。このようなプロセスの一例はイオン化スパッタリングであり、スパッタするターゲットを出るスパッタされたフラックス(flux)(これらの原子は、通常電気的に中性である)を加熱(thermalize)しイオン化することによって実行される。これは、コイルをチャンバーに置き、それをRF電力で励起することによって成される。イオン化されたスパッタ原子は、ウエハとプラズマとの間に生じる自己バイアスによって、或いは外部電源によりウエハ上に供給されるバイアスによって、ウエハへ加速される。この加速は、ウエハへのフラックス分布を変化させ、通常のスパッタリング・ソースよりも

指向性が大きくなる。イオン化及びバイアス特性を調整することによって、所望の様に、より多い又はより少ない底部及び側壁被覆を得ることができる。このプロセスでは典型的に底部被覆は側壁の被覆より大きく、底部膜が側壁の膜より厚いことが障壁体の性能を高めるために望ましい、トレチ・セルに対する良いアプローチとなる。更に、障壁体及び接着促進層は同じ材料で構成される場合、これはこの実施例における利点となる。

【0020】図5は第4の好ましい実施例のクラウン・セル・キャパシタを示す。この構造体は、より大きな表面領域をつくるように底部電極504が形作られることを除けば、図2の構造体と類似している。このクラウン・セルを形成する1つの方法は、まずプラグを形成することである。犠牲(sacrificial)酸化物層をデポジットする。プラグ上の酸化物層にトレチをパターニング及びエッティングする。側壁は垂直であることが理想的である。底部電極材料を共形(コンフォーマル)にデポジットする。底部電極材料を、例えば化学的機械的ポリッシングを用いて、犠牲酸化膜の頂部から取除く。犠牲酸化物層を取り除き、キャパシタ絶縁体のデポジションを行う。

【0021】図6(a)は、図2で示した好ましい実施例を組みむメモリセルの断面図である。この構造体は基板600上に形成される。ソース601及びドレイン603は、基板600に注入される。トランジスタ・ゲート605は、ソース及びドレインによって分離され、共にトランジスタを形成する。層間絶縁体602はトランジスタを被覆する。ビット線コントラクト607は、トランジスタ・ソース601をビット線609(その断面から離れている(offset)ことを示すため点線で示す)に結合する。プラグ606は底部電極604をトランジスタ・ドレイン603に結合する。障壁体608及び接着促進層610は、図2の好ましい実施例に関連して前に説明した機能を行う。底部電極604はキャパシタ絶縁体612及び頂部電極614で被覆される。

【0022】図6(b)は、例えば、DRAMのメモリ・セル・アレイを共に形成する多数のうちの1つの、1トランジスタ/1キャパシタ・セルの平面図である。図6(a)に示した断面図は、図6(b)の12個のキャパシタ650の中の2個を示す。ワード線652は図6(a)のトランジスタ・ゲート605に対応する。図6(a)のプラグ606は、図6(b)では要素654として示す。図6(a)のビット線コントラクト607は、図6(b)では要素656である。図7は、図6(a)に示したビット線上キャパシタ(COB)セルの反対のビット線下キャパシタ(CUB)メモリセルの一例である。これらの構造体は、ビット線700がキャパシタ702が形成された後に形成されることを除けば類似している。ビット線及びビット線プラグ704は典型的に、タンクステン、アルミニウム、銅又はAl-Cuなどの

金属である。

【0023】製造

図8(a)～(c), 図9(a)～(c), 図10

(a)～(c), 図11(a)～(c), 図12

(a), (b) 及び図13は、DRAMの製造方法の実施例の各段階をメモリ・セル・アレイの正面断面図で示す。

【0024】(a) 浅いトレチ分離体802とCMOS周辺回路及びメモリ・セル・アレイに対するツイン・ウェルとを有するシリコン基板800(又はSOI基板)で開始する。閾値調整注入(これは、セル・トランジスタ及び種々の周辺トランジスタで異なることがある)を行い、ゲート絶縁体804を形成する。ポリシリコン・ゲート材料と二酸化シリコン層とを被覆するケイ化タンクステンをデポジットし、その後、これらの層をパターニングして、頂部が酸化膜であるゲート806と、周辺トランジスタ・ゲート及びゲート・レベル相互接続体とを形成する。図8(a)参照。

【0025】(b) 軽くドープされたドレインの注入を行い、その後、デポジットと異方性エッティングにより、ゲート上に側壁絶縁体808を形成する。不純物添加を行うことにより、周辺ソース/ドレインを含むソース810及びドレイン812を形成し、トランジスタのレベルが完了する。平坦化された絶縁体層814(例えばBPSG(borophosphosilicate glass))でこの構造体を被覆する。図8(b)参照。

【0026】(c) 平坦化された絶縁体中にソース812まで達するホール(ビア)をフォトリソグラフィにより定めてエッティングする。インサイトウ(in situ)P型ドープされたポリシリコンのプランケット・デポジットとエッティング・バックを行い、ホールにシステム815を形成する。平坦化された絶縁体中にドレイン810まで達するホールをフォトリソグラフィにより定めてエッティングする。インサイトウ・ドープされたポリシリコン、その後ケイ化タンクステン・キャップをプランケット・デポジットし、それをパターニングして、ドレインに接続されるビット線816を形成する。エッチ・ストップ部分層(例えば、酸化物及び窒化物の部分層)を含み得るが、好ましくはTEOS(tetraethyloxysilane)前駆物質(precursor)から形成される500nmのSiO₂である平坦化されたビット線上絶縁体818を形成する。図8(c)参照。

【0027】(d) 平坦化されたビット線上絶縁体818にキャパシタ蓄積ノード・コントラクト開口部を形成する。開口部をポリシリコン820で充填する。ポリシリコンを平坦化し、過剰分は、例えば化学的機械的ポリッシュ技術によって、ビット線上絶縁体818の表面から取り除く。図9(a)参照。

【0028】(e) 開口部から約20nmから50nmの範囲の深さまでポリシリコン820を取除く。例え

ば以下のプロセスを用いて、残っているポリシリコン・プラグの頂部にケイ化チタン層を形成する。フッ化水素酸を用いてシリコン表面除去(deglaze)を行い自然酸化膜を取除く。チタンをデポジットし、その後、窒素雰囲気中で約725°Cで急速熱アニールを行い、チタンとシリコンの間に反応を起こす。反応しなかったチタンとTi-Nを取除く。

【0029】(Ti 0.75 Al 0.25)-Nをスパッタ・デポジットして、ポリシリコン820の除去によって作られた空間の残りを充填し、ビット線上絶縁体818の表面を覆う。障壁体材料を平坦化し、それをCMPなどの平坦化技術でビット線絶縁体の表面から取り除く。これにより、ポリシリコン部分820及びTi-Al-N障壁体部分822を有し、ケイ化物部分821によって分離されるプラグがつくられる。図9(b)参照。障壁体822があることにより、少なくとも2つの利点が提供される。1) ポリシリコン・プラグ/障壁体界面及び電極/障壁体界面は、例えばBSTデポジション中に存在する酸化雰囲気から保護される。2) ポリシリコン・プラグは、小さなジオメトリでは重要な事であるリソグラフィック誤整合の場合でも、底部電極パターニング後、耐酸化障壁体で保護される。

【0030】(f) (Ti 0.75 Al 0.25)-Nの薄い接着促進層824(約3nm)を、その後、350nmの白金の底部電極層826をデポジットして構造体を被覆する。両方の層はスパッタ・デポジションで形成することができる。図9(c)参照。

【0031】(g) Ti-Al-Nの約20nmのハードマスク層828をデポジットして、底部電極層826を被覆する。例えばSi-O-N又は有機物層などから成る反射防止膜(ARC)層829をデポジットする。フォトレジスト830をデポジットしパターニングして底部電極を形成する。図10(a)参照。ハードマスク材料の代替例には、Ti-N、Ta-N、Ta-Al-N、Ti-Si-N、W-Si-N、Ru-N、W

-N、Ru-Al-N、Ru-Si-N、Cr-N、Cr-Al-N、Mo-N、Mo-Al-N、Mo-Si-N、V-N、V-Si-N、V-Al-N、Hf-N、Hf-Al-N、3元(又は更に多元の)窒化膜(例えば、Ta-Si-N、Ta-B-N、Ti-B-N)、Zr-N、Y-N、Sc-N、La-N、Al-N、ドープされたAl-N、Mg-N、Ca-N、Sr-N、Ba-N、上述とTi-Nとの合金、Ga-N、Ni-N、Co-N、Ta-N、及びW-Nが含まれる。ハードマスク材料の代替の種類には、窒素を除く前述の全て、例えば、Ti、V-Alなどが含まれる。ハードマスク材料の別の代替例には貴金属絶縁物合金、例えば、Pt-Si-N、Pd-Si-O、Pd-B-(O, N)、Pd-Al-N、Ru-Si-(O, N)、Ir-Si-O、Re-Si-N、Rh-Al-O、Au-Si-N、及びAg-Si-Nが含まれる。ハードマスク層は、別の材料の多重層又は上述の材料の組合せを含み得ることに注意されたい。

【0032】(h) フォトレジスト830によって被覆されずに残っているハードマスク層828及びARC層829の部分を、比較的高圧、低バイアス、塩素ベースのプラズマを用いて取除く。このエッチングは、電子サイクロトロン共鳴プラズマ・エッチング装置で、例えば、以下の条件で実行される: 圧力6.0mTorr、ソース電力1500W、RFバイアス電力300W、Cl₂流速50sccm、Ar流速10sccm。エッチング条件の代替例については、表1を参照されたい。その後、フォトレジスト830はO₂プラズマでアッシングされ、ARC層829は除去される(ARC層829はハードマスクの一部として残されてもよい)。フォトレジスト及びARCの除去により、底部電極層826上にハードマスク・パターン832が残される。図10(b)参照。

【0033】

【表1】

Recipe #	エッチング剤 気体流量; 壓力; ECR/RF電力	Pt E/R (A/min)	TiAIN E/R (A/min)	Pt: TiAIN 選択比
1	C12, 50sccm:1mT:1500/900W	840	2422	1:2.9
2	C12/O2, 47/3sccm:1mT:1500/900W	-800	2234	1:2.8
3	C12/O2, 25/25sccm:1mT:1500/900W	600	88	6.8:1
4	Ar/O2, 40/10sccm:2mT:1500/900W	1715	146	12:1
5	Ar/O2, 25/25sccm:1mT:1500/900W	1700	133	13:1
6	C12, 50sccm:2mT:1500/300W	<100	3851	<1:38
7	C12, 50sccm:6mT:1500/300W	<100	3556	<1:36
8	C12/Ar, 50/10sccm:6mT:1500/300W	<100	3497	<1:35

【0034】(i) ハードマスク・パターン832によって被覆されていない底部電極層826の部分を、比較的低圧、高バイアスの、Ar/O₂、C₁₂/O₂又はAr/O₂/C₁₂高密度プラズマで取除く、底部電極834を形成する。白金底部電極のエッチングは、以下の条件で成される：圧力2.0mTorr、ソース電力1500W、RFバイアス電力900W、Ar流速40sccm、O₂流速10sccm。この電極エッチングはTi-A1-N接着促進層824上で停止する。このプロセスにより、フェンスのない底部電極ができ、入念なエッチ後洗浄は必要とされない。

【0035】(j) 底部電極834及びハードマスク832によって被覆されずに残っている領域からTi-A1-N接着促進層824を取除く。層824のエッチングは、以下の条件で実行される：圧力6.0mTorr、ソース電力1500W、RFバイアス電力300W、C₁₂流速50sccm、Ar流速10sccm。その後、同じ条件でオーバーエッチが行われる。オーバーエッチは、図11(a)には示していないが、層間絶縁体又はビット線上絶縁体818の中まで延びてもよい。このオーバーエッチは、続いて供給されるキャパシタ絶縁体（例えば、BST）が、底部電極834、特に電極の底部近くを、オーバーエッチが行われない場合よりも一層均一に被覆し得る点で利点となり得る。Ti-A1-N824で絶縁体818界面まで連続する（即ち、コーナーを充填することを要求されない）BST層を有する構造体が受けるストレスによる欠陥はより少ないと想定されている。

【0036】(k) RFマグネットロン・スペッタリングなどの技術を用いて約500°CでBa_{0.5}Sr_{0.5}TiO₃の約40nmのキャパシタ絶縁体層836をデポ

ジットする。その後、約100nmの白金の頂部電極フィールド・プレート838をデポジットする。図11(b)参照。

【0037】(l) 白金の頂部電極838上に約25nmの厚さの(Ti_{0.75}A_{1.25})_nの被覆及びハードマスク層840をデポジットする。例えば、Si-O又は有機物層からなるARC層841をデポジットする。フォトレジスト840をデポジットしパターンングして、頂部電極フィールド・プレートの境界を定める。図11(c)参照。

【0038】(m) Ti-A1-N層840の被覆されていない部分を、比較的高圧、低バイアス、塩素ベースのプラズマを用いて取除く。このエッチングは、以下の条件で行われる：圧力6.0mTorr、ソース電力1500W、RFバイアス電力300W、C₁₂流速50sccm、Ar流速10sccm。フォトレジスト842及びARC層841を取除く（ARC層841はハードマスクとして残されてもよい）。その後、残っているTi-A1-Nをハードマスクとして用い、頂部電極フィールド・プレート838及び下にあるBST836の露出された部分を、比較的低圧、高バイアスの、Ar/O₂、C₁₂/O₂又はAr/O₂/C₁₂プラズマを用いて取除く。このエッチングは、以下の条件で実行される：圧力2.0mTorr、ソース電力1500W、RFバイアス電力900W、Ar流速40sccm、O₂流速10sccm。図12(a)参照。Ti-A1-N層は少なくとも3つの機能を提供する。1) 下にある頂部電極層のエッチングのハードマスクとして機能し、2) 白金の頂部電極フィールド・プレート838を被覆し封入して（露出されたエッジを除く）、後続のプロセス工程でプロセス装置が白金で汚染されないようにし、3) 上の金属層と頂部電

40 電極838及び下にあるBST836の露出された部分を、比較的低圧、高バイアスの、Ar/O₂、C₁₂/O₂又はAr/O₂/C₁₂プラズマを用いて取除く。このエッチングは、以下の条件で実行される：圧力2.0mTorr、ソース電力1500W、RFバイアス電力900W、Ar流速40sccm、O₂流速10sccm。図12(a)参照。Ti-A1-N層は少なくとも3つの機能を提供する。1) 下にある頂部電極層のエッチングのハードマスクとして機能し、2) 白金の頂部電極フィールド・プレート838を被覆し封入して（露出されたエッジを除く）、後続のプロセス工程でプロセス装置が白金で汚染されないようにし、3) 上の金属層と頂部電

50

極フィールド・プレートとの間のビア・コンタクトの形成においてエッチ・ストップ層として機能する。

【0039】(n) セル・アレイ844及びアレイ周辺部846の上に500nmの厚さの層間絶縁体（例えば、PETEOS）をデポジットする。層間絶縁体エッティング化学物質、例えば、Ar/CF₄/CHF₃を用いて、フィールド・プレート頂部まで、及び周辺トランジスタ850までビア848をエッティングする。ライナー(liner)（例えば、Ti又はTiN）、及びタンゲステンやアルミニウムなどの金属をデポジットしてビア848を充填し、第1の金属層852を形成する。図12(b)参照。代替の材料及びエッティング工程は、後述の「ビア・エッチ・ストップ層」のセクションで述べる。

【0040】(o) 後続の金属層、例えば第2の金属層854及び第3の金属層856も、工程(n)に用いられたビア・エッチ・ストップの利点を得ることができる。例えば、第1の金属層852は、第2の金属層854からのビア・エッチ・ストップとしても機能するTi-A1-Nハードマスク853を用いてエッティングすることができる。第2の金属層854を形成するために用いられるTi-A1-Nハードマスク855は、第2の金属層を第3の金属層に結合するビアの効果的なエッチ・ストップとして用いることができる。

【0041】図14(a)～(d)、図15(a)～(c)及び図16(a)、(b)は、ビット線下キャパシタのメモリ・セルを製造するための好ましい実施例プロセスを示す。上述のプロセスのように形成されたトランジスタで開始する。平坦化された絶縁体層900は構造体の上に形成される。（例えば、TEOS前駆物質から）

【0042】(a) 平坦化された絶縁体にソース902までホール（ビア）をフォトリソグラフィックに定めエッティングする。図14(a)参照。

(b) インサイトウP型ドープされたポリシリコンにプランケット・デポジットとエッティング・バックを行い、ホール内にシステム904を形成する。図14(b)参照。

【0043】(c) ケイ化チタン層906を、例えば以下のプロセスを用いて、ポリシリコン・プラグの頂部に形成する。フッ化水素酸を用いてシリコン表面除去を行い自然酸化膜を取除く。チタンをデポジットし、その後、窒素雰囲気中で約725°Cで急速熱アニールを行い、チタンとシリコンの間に反応を起こす。反応しなかったチタンとTi-Nを取除く。図14(c)参照。

【0044】(d) (Ti0.75Al0.25)-Nをスペッタ・デポジットして、ポリシリコン904の除去によって作られた空間の残りを充填し、平坦化された絶縁体900の表面を覆う。障壁体材料を平坦化し、それを例えばCMPなどの平坦化技術でビット線絶縁体の表面から取除く。これにより、ポリシリコン部分904及びT

i-A1-N障壁体部分908を有しケイ化物部分906によって分離されるプラグがつくられる。図14(d)参照。

【0045】(e) (Ti0.75Al0.25)-Nの薄い接着促進層910（約3nm）、続いて、350nmの白金の底部電極層912をデポジットして構造体を被覆する。両方の層はスペッタ・デポジットで形成することができる。Ti-A1-N（図示せず）の約20nmのハードマスク層をデポジットして底部電極層912を被覆する。例えば、Si-O-N又は有機物層を有する反射防止膜（ARC）層（図示せず）をデポジットする。フォトレジスト（図示せず）をデポジットしパターニングして底部電極を形成する。フォトレジストによって被覆されずに残っているハードマスク層及びARC層の部分を取除く（ARC層はハードマスクの一部として残されてもよい）。ハードマスク・パターンによって被覆されていない底部電極層912の部分を取除く。底部電極912によって被覆されずに残っている領域からTi-A1-N接着促進層910を取除く。図15(a)参照。

【0046】(f) Ba_{0.5}Sr_{0.5}TiO₃の約40nmのキャパシタ絶縁体層914をRFマグнетロン・スペッタリングなどの技術を用いて約500°Cでデポジットする。その後、約100nmの白金の頂部電極フィールド・プレート916をデポジットする。白金の頂部電極916上に約25nmの厚さの(Ti0.75Al0.25)-N被覆及びハードマスク層918をデポジットする。例えば、Si-O-N又は有機物層から成るARC層（図示せず）をデポジットする。フォトレジスト（図示せず）をデポジットしパターニングして、頂部電極フィールド・プレートの境界を定める。Ti-A1-N層918の被覆されていない部分を取除く。ARC層及びフォトレジストを取除く（ARC層はハードマスクの一部として残されてもよい）。その後、残っているTi-A1-Nをハードマスクとして用いて、頂部電極フィールド・プレート916及び下にあるBST914の露出された部分を取除く。図15(b)参照。

【0047】(g) 構造体上に500nmの厚さの層間絶縁体920（例えば、PETEOS）をデポジットし平坦化する。ビット線コンタクト・ビア922をトランジスタのドレイン924までエッティングする。図16(a)参照。

【0048】(h) チタンをデポジットし、工程(c)で上述したケイ化プロセスを用いて、トランジスタ・ドレイン924にケイ化物（図示せず）を形成する。好ましくは、SiO₂である薄いコンタクト・ホール・ライナー923を共形（コンフォーマル）CVDプロセスによってデポジットし、トランジスタのドレイン上にデポジットされた絶縁体を取除くため平坦化エッチングが続く。図16(a)参照。

【0049】(i) ドレイン924と接触する、タンゲステン又はポリシリコンなどのビット線導電体926をデポジットし、ビット線を形成する。図16(b)参照。エッチング・プロセス白金電極のエッチングは、プロセスの中で最も果敢に取組むべき工程である。貴金属としての白金、その酸化膜、及び白金ハロゲン化合物は全て、ドライ・エッチング・プロセスにおいて用いられるような中温で揮発性が非常に低い。白金エッチング・プロセスは、主として、化学的に相対する物理的なエッチングである。この結果、エッチング速度は遅くなり、抵抗及び酸化膜/窒化膜に対するエッチング選択比は低くなり、更に重要なことに、エッチング中の白金の再デポジションの結果、一時的側壁フェンスが形成される。白金エッチング速度が遅く、抵抗及び酸化膜/窒化膜に対するエッチング選択比が低いことは、レジストの費用が大きくなることを意味する（下にある材料よりも速くエッチングされるため、厚いレジスト層が必要とされる）。

【0050】数百ナノメートルの酸化（又は窒化）シリコン層は、白金の底部電極エッチングのハードマスクとして用いることができる。P_t:SiO₂又はP_t:SiN_xの選択比は典型的に2から3の間である。フィールド酸化膜とハードマスクとの間の選択比が小さいため、後に続く、P_tエッチングの後のドライ又はウェット・エッチング・プロセスによるハードマスクの除去は、過度のフィールド酸化膜損失となり得る。SiO₂及びSiN_xのドライエッチングは、フッ素ベースのエッチング化学物質で行われる。同じエッチング・チャンバ内でフッ素及び塩素エッチングの両方を用いることは望ましくないため、フッ素プロセスは塩素ベースの白金エッチングとは相いれない。このため、塩素ベースのエッチングで取除くことのできるハードマスク材料がほしい。

【0051】Ti-Al-Nは、幾つかの理由において白金電極のハードマスク材料として好ましい選択肢である。第1に、Ti-Al-Nは、塩素含有プラズマ(C₁₂, C₁₂/Ar、又は少量の（例えば、約15%より少ない）O₂を含むC₁₂/O₂）内で、比較的低いバイアス電力（例えば、表1のデータを得るために用いたエッチング剤では約500Wより小さい）で容易にエッチングされる。このため、典型的に高バイアス電力で取除かれる白金と区別することが容易である。第2に、酸素を含むエッチング化合物、例えば、高いO₂濃度を有するAr/O₂プラズマ、Ar/O₂/C₁₂又はC₁₂/O₂プラズマ内で、Ti-Al-Nは非常にゆっくりとエッチングされる。事実上、Ti-Al-Nのハードマスク層としての効力は、ハードマスクの自己不活性化層として機能する酸化アルミニウムを形成するためハードマスク層のアルミニウムと結合するエッチング化学物質内の酸素に依存する。従って、好ましいハードマ

スク材料は少なくとも1%のアルミニウムを含む。Ti-Al-Nのアルミニウムの濃度の上限は、例えば、以下に説明するビア・エッチ・ストップ層のように導電性要素として構造体上に残るハードマスク層に適用されることに注意されたい。代替のハードマスク材料については、上述の実施例プロセスの工程(g)を参照されたい。

【0052】同様の論理が、エッチ・ストップ層、例えば、下にある層間絶縁体に達しないよう白金エッチングを停止させるために用いられる上述の実施例の接着促進層にも適用される。一般的に層間絶縁体を保護することに加え、上述で説明された接着促進層は、傾斜した側壁から反射されるイオンによって生じる、白金電極の底面での微小トレンチングも減少させる。これは、ポリ・プラグと底部電極との間の誤整合の場合のプラグ損失を避けるのにも役立つ。

【0053】ビア・エッチ・ストップ層
最近のデバイスでは、ビアのサイズは小さく、ビアの縦横比は大きくされるため、特に、キャパシタ頂部電極フィールド・プレートまでと、周辺トランジスタまでとのビアの深さが500nm以上異なることがある幾つかのDRAM用途において、ビアを形成するためにロング・オーバー・エッチング工程を用いることがある。TiNは、メモリ・セルの相互接続導電体又は頂部電極の上のビア・エッチ・ストップ及びARC層として用いられるが、酸化膜に対するそのエッチング選択比は30:1にすぎない。このような選択比は、ロング・オーバー・エッチング、及び望ましいこともある薄いARC層には充分ではない。

【0054】TiNの代替例は、酸化膜及び窒化膜の両方に対する優れたエッチング選択比を提供することが分かっている。上述で説明した実施例の層840、853及び855は、1) Ti-Al、Ti-Al-N、Ta-Al、Al-N、又は2) Ti-Al/Ti-N、Ti-Al-N/Ti-N、Ta-Al/Ti-N、Ti-Al/Ti-Al-N、及び2層を形成する他の同様の組合せ(Ti-Nを含んでいても含まなくてもよい)、又は3) 3層を形成する上述の組合せであり得る。好ましい材料は(Ti_{1-x}Al_x)_{-N}であり、ここでxはアルミニウム濃度であり、約0.01から0.60の範囲である。アルミニウム含有量の上限は、主に材料の導電性によって決められる(Ti-Al-Nにおいて、材料の抵抗は、アルミニウム含有量と共に増加する)。ビア・エッチ・ストップ材料は、下にある導電体（例えば、図12(b)の頂部電極838）と上側導電体（例えば、図12(b)の第1の金属層852）との間のコンタクトを形成するため、それが高い導電性を有することが望ましい。最低アルミニウム濃度は、主にエッチング選択比を高めるのに充分な自己不活性化アルミニウム酸化物層を形成する必要性によって、及び、特殊

なケースでは、エッチ・トップ層がメモリ・セル・キャパシタの頂部電極を被覆するときの酸化耐性の必要性によって決められる。

【0055】Ar/CF₄/CHF₃ エッティング化学物質を用いることにより、以下のエッティング選択比が得られる。酸化膜：TiNは28.4:1、酸化膜：Ti 0.75A 1.0.25Nは48.2:1、及び酸化膜：TiAl₃は22.8:1。エッティング条件は以下の通りである。
圧力250mTorr、RFバイアス電力800W、Ar流速200sccm、CF₄流速70sccm、CHF₃流速35sccm。同様の結果が、Ar/CF₄/O₂ エッティング化学物質を用いる窒化膜エッティングで得られる。窒化膜の選択比は以下の通りである。窒化膜：TiNは1.2.9:1、窒化膜：Ti 0.75A 1.0.25Nは30.3:1、及び窒化膜：TiAl₃は39.5:1。ケイ化シリコン・エッティングは、Ar/CF₄/O₂ エッティングで以下の条件を用いて行われる：圧力250mTorr、RFバイアス電力800W、Ar流速200sccm、CF₄流速70sccm、O₂流速25sccm。高密度プラズマ・エッティング剤で同様のエッティング選択比が期待できることに注意されたい。代替のエッティング化学物質は、CF₄、CHF₃、CH₂F₂、CH₃F、O₂、Ar、SF₆、C₂F₆、C₄F₈、C₃F₆ 及び他のフッ化又はペフルオリネーティッド(perfluorinated)炭化水素を含み得る。少なくとも1つがフッ素ベースである1つ又はそれ以上の気体を用いることができる。

【0056】上述の材料を使用することにより、ビア・エッチ・トップ層に対する酸化膜エッティング選択比が高まり、それによりビア・エッチ・トップ層（例えば、図12(b)の層840）を通る穴を開けることなく、一層長いオーバー・エッティングが可能になる。DRAMの用途において、電極に対する酸化膜エッティング選択比が一層高いと、ビア底部の電極の消耗の恐れが減少する。この様な消耗は、コンタクト抵抗、又はデバイス欠陥を増加させることがある。2層又は3層構造が用いられる場合、層の厚さは、金属パターニング工程で与える反射性(reflectance)が一層小さくなるよう最適化される。上述の様に、同様の利点は、窒化シリコンを通してこのようなビア・エッチ・トップ層までエッティングするとき達成され得る。

【0057】上述の材料のビア・エッチ・トップ及びハードマスク形状は、メモリ回路以外のデバイスに適用され得ることに注意されたい。実際、1つの層（例えば、金属層）が隣接する層に接続される任意の状況において、上述のビア・エッチ・トップ材料を用いることができる。上述の材料は、1つの層がビアを介し、上にある層とは異なる距離にある下にある層に結合されると、従って、より深いビアをつくる時間を与えるようビアのロング・オーバー・エッティングを必要とするとき、特に有効である。例えば、マイクロプロセッサ、デジタル・シグナル・プロセッサ、メモリ回路など、実質的にどのような種類の半導体デバイスでも、このようなエッチ・トップ層の利点を得ることができる。

ル・シグナル・プロセッサ、メモリ回路など、実質的にどのような種類の半導体デバイスでも、このようなエッチ・トップ層の利点を得ることができる。

【0058】本発明は例示用の実施例を参照して説明されたが、この説明が限定的な意味で解釈されることを意図しているのではない。これら例示用の実施例の種々の変形及び組合せばかりでなく本発明の他の実施例も、本説明を参照すれば当業者にとって明白である。例えば、ここに説明した実施例のメモリ回路は、例えば、マイクロプロセッサ、又はデジタル・シグナル・プロセッサのようなプロセッサを有する集積回路に埋め込まれてもよい。したがって、添付の特許請求の範囲は、これらのあらゆる変形及び組合せを包含することを意図する。

【0059】以上の説明に関して更に次の項を開示する。

(1) メモリセルを含むメモリ回路であって、(a) 第1の表面に導電性接着促進層を有する底部電極と、前記底部電極の第2の表面と接触する蓄積層と、前記蓄積層と接触する頂部電極とを有するキャパシタと、(b) 第1及び第2の端子とワード線制御端子とを含むトランジスタと、(c) 前記第1のトランジスタ端子に結合されるビット線と、を含み、前記底部電極は、前記接着促進層に隣接する障壁体を含むプラグによって前記第2のトランジスタ端子に結合され、前記障壁体は前記接着促進層より厚いメモリ回路。

【0060】(2) 第1項に記載のメモリ回路であって、前記障壁体はTi-A1-Nを含むメモリ回路。

(3) 第1項に記載のメモリ回路であって、前記接着促進層はTi-A1-Nを含むメモリ回路。

(4) 第2項又は第3項の記載のメモリ回路であって、前記Ti-A1-Nは0%から50%の範囲のアルミニウムを含むメモリ回路。

(5) 第4項に記載のメモリ回路であって、前記Ti-A1-Nは(Ti 0.75A 1.0.25)-Nであるメモリ回路。

(6) 第1項に記載のメモリ回路であって、前記底部電極は白金であるメモリ回路。

【0061】(7) 第2の材料を実質的にエッティングすることなく、前記第2の材料の上にある白金層の形状をエッティングする方法であって、(a) 前記白金層と前記第2の材料との間に接着促進層を形成し、(b) 前記白金層上にハードマスク層を形成し、(c) 所望の寸法の前記形状に従って、前記ハードマスク層をパターニングしエッティングし、(d) 前記ハードマスク層によって覆われてない前記白金層の部分をエッティングし、前記エッティングは前記接着促進層上で停止する工程を含む方法。

【0062】(8) 第7項に記載の方法であって、工程(a)は前記白金層と二酸化シリコン層との間にTi-A1-N層を形成することを含む方法。

(9) 第7項に記載の方法であって、工程 (b) は前記白金層上に Ti-A1-N 層を形成することを含む方法。

(10) 第8項又は第9項に記載の方法であって、前記 Ti-A1-N 層は少なくとも 1% のアルミニウムを含む方法。

(11) 第7項に記載の方法であって、工程 (c) は前記ハードマスク層を塩素含有エッティング剤でエッティングすることを含む方法。

(12) 第7項に記載の方法であって、工程 (d) は前記白金の一部を酸素含有エッティング剤でエッティングすることを含む方法。

【0063】(13) 白金をエッティングする方法であって、(a) 前記白金上に Ti-A1-N ハードマスク層を形成し、(b) 前記 Ti-A1-N ハードマスク層をパターニングし、塩素含有エッティング剤でエッティングして所望のパターンを形成し、(c) 前記白金を酸素含有エッティング剤でエッティングする工程を含む方法。

【0064】(14) 第13項に記載の方法であって、前記塩素含有エッティング剤は、Cl₂、Cl₂/Ar 及び Cl₂/O₂ から成るグループから選択される方法。

(15) 第13項に記載の方法であって、前記酸素含有エッティング剤は、Ar/O₂、Cl₂/O₂ から成るグループから選択される方法。

(16) 第14項に記載の方法であって、前記塩素含有エッティング剤は、Cl₂/O₂ であり、前記酸素含有エッティング剤より含有酸素の量が少ない方法。

(17) 第13項に記載の方法であって、工程 (b) の前記エッティングは、工程 (c) の前記エッティングよりも一層低いバイアス電力でプラズマ・エッティング装置で成される方法。

【0065】(18) 選択比の高いビア・エッティング・プロセスであって、(a) Ti-A1、Ti-A1-N、Ta-A1、A1-N、Ti-A1/Ti-N、Ti-A1-N/Ti-N、Ta-A1/Ti-N、及び Ti-A1/Ti-A1-N から成るグループから選択される材料のエッチ・ストップ層を形成し、(b) 前記エッチ・ストップ層上に絶縁体層を形成し、(c) 前記絶縁体層をフッ素含有エッティング剤でエッティングする工程を含むプロセス。

【0066】(19) 第18項に記載の方法であって、前記材料は Ti-A1-N である方法。

(20) 第19項に記載の方法であって、前記 Ti-A1-N は (Ti_{1-x}A_x) -N であり、ここで x は約 0.01 から 0.60 の範囲である方法。

(21) 第18項に記載の方法であって、前記材料は Ti-A1 である方法。

(22) 第21項に記載の方法であって、前記材料は

TiAl₃ である方法。

(23) 第18項に記載の方法であって、前記絶縁体層は二酸化シリコンであり、前記フッ素含有エッティング剤は Ar/CF₄/CHF₃ である方法。

(24) 第18項に記載の方法であって、前記絶縁体層はチッ化シリコンであり、前記フッ素含有エッティング剤は Ar/CF₄/O₂ である方法。

【0067】(25) キャパシタのための電極構造体。この電極構造体は、酸化障壁体 208 を含むコンタクト・プラグと、導電性接着促進部 210 と酸化抵抗部 204 とを含む底部電極とを含み、接着促進部はコンタクト・プラグの酸化障壁体と接触する。更なる実施例において、酸化障壁体及び接着促進部は Ti-A1-N を含む。

【図面の簡単な説明】

【図1】先行技術の電極の断面図。

【図2】好ましい実施例のキャパシタの断面図。

【図3】第2の好ましい実施例のキャパシタの断面図。

【図4】第3の好ましい実施例のキャパシタの断面図。

【図5】第4の好ましい実施例のキャパシタの断面図。

【図6】(a) は好ましい実施例のビット線上キャパシタのメモリセルの断面図。(b) は好ましい実施例のビット線上キャパシタのメモリセルの平面図。

【図7】好ましい実施例のビット線下キャパシタのメモリセルの断面図。

【図8】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図9】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図10】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図11】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図12】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図13】好ましい実施例のプロセスを用いたメモリセルの断面図。

【図14】好ましい実施例のプロセスを用いたビット線下キャパシタのメモリセルの断面図。

【図15】好ましい実施例のプロセスを用いたビット線下キャパシタのメモリセルの断面図。

【図16】好ましい実施例のプロセスを用いたビット線下キャパシタのメモリセルの断面図。

【符号の説明】

200 基板

202 層間絶縁体

204 底部電極

206 導電性プラグ

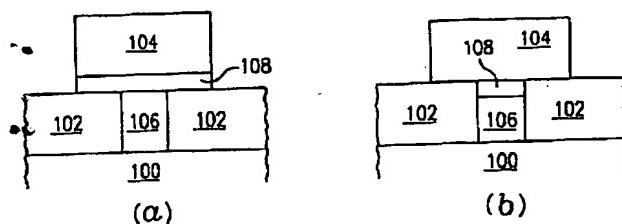
207 ケイ化物層

208 酸化障壁体

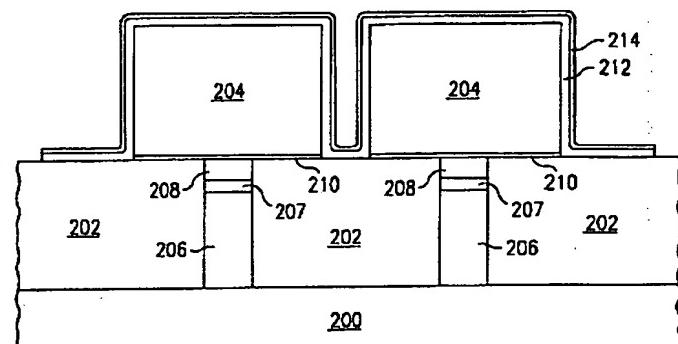
210 接着促進部

212 キャパシタ絶縁体

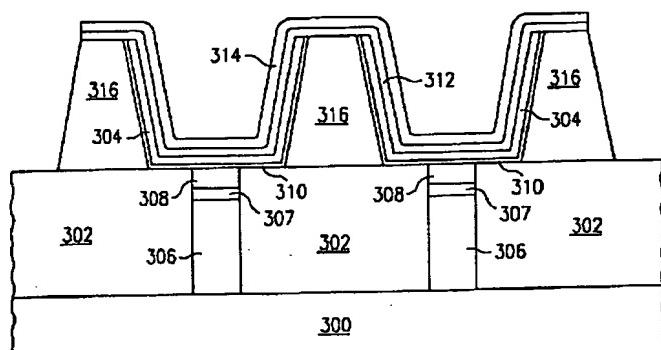
[図 1]



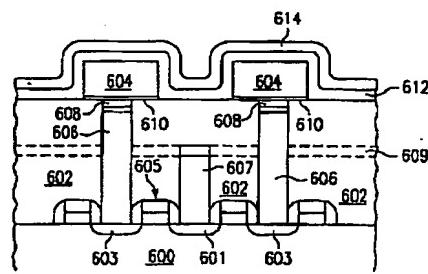
[図2]



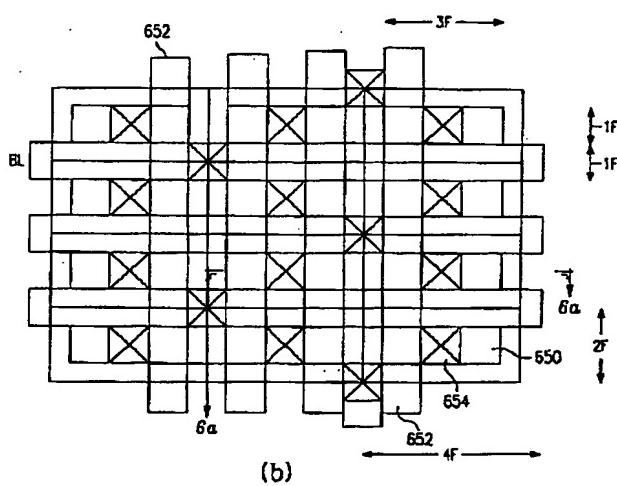
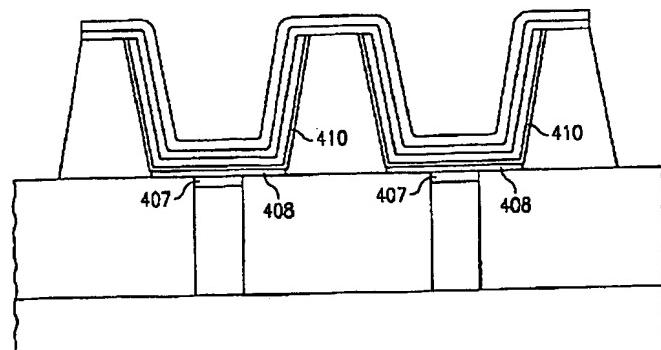
【图3】



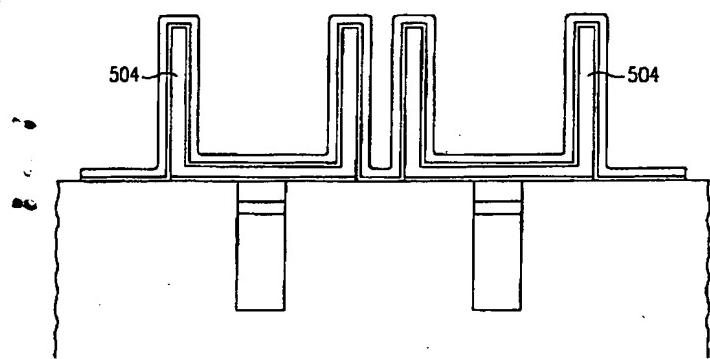
【図6】



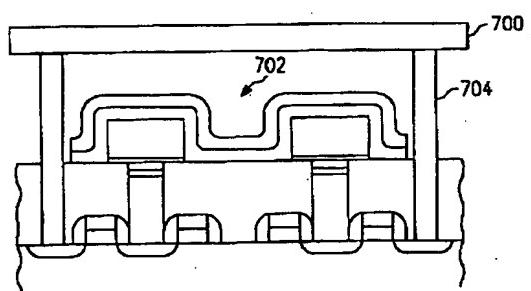
【図4】



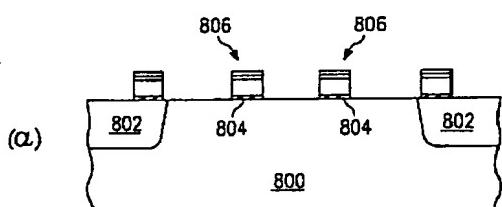
【図5】



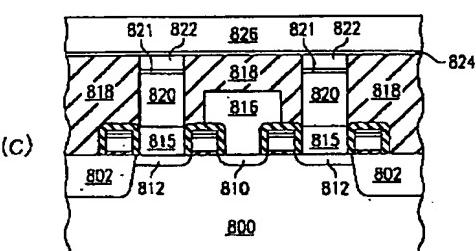
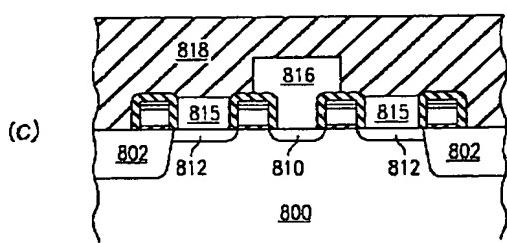
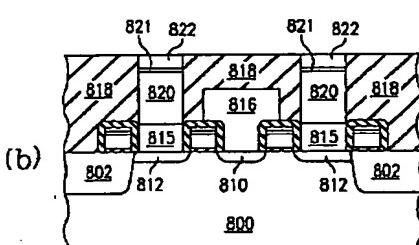
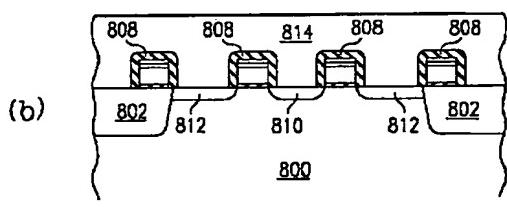
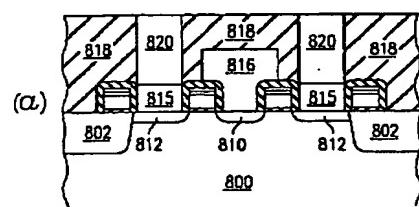
【図7】



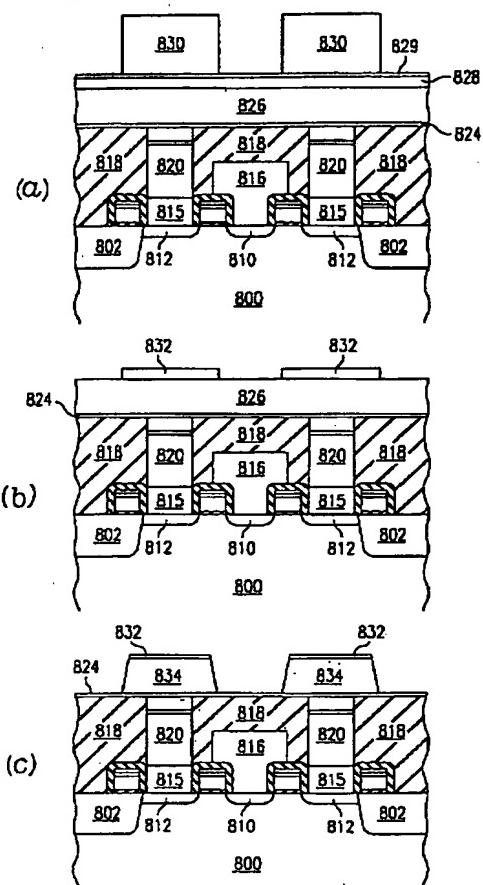
【図8】



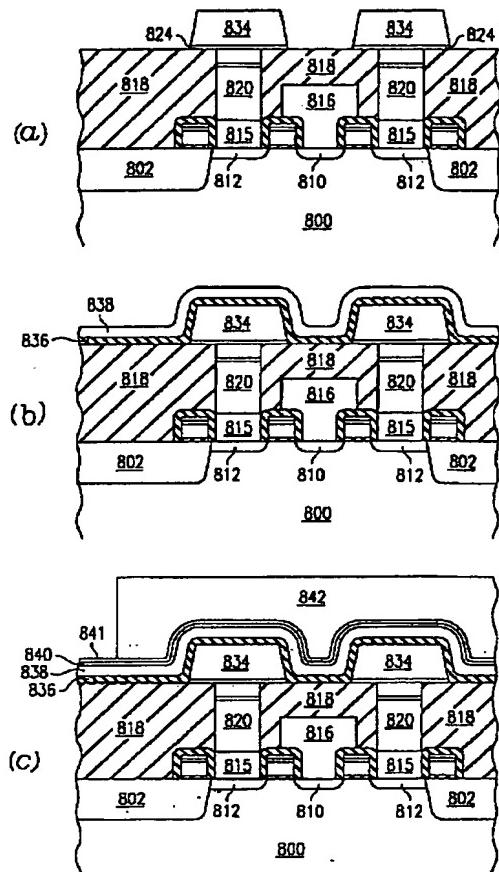
【図9】



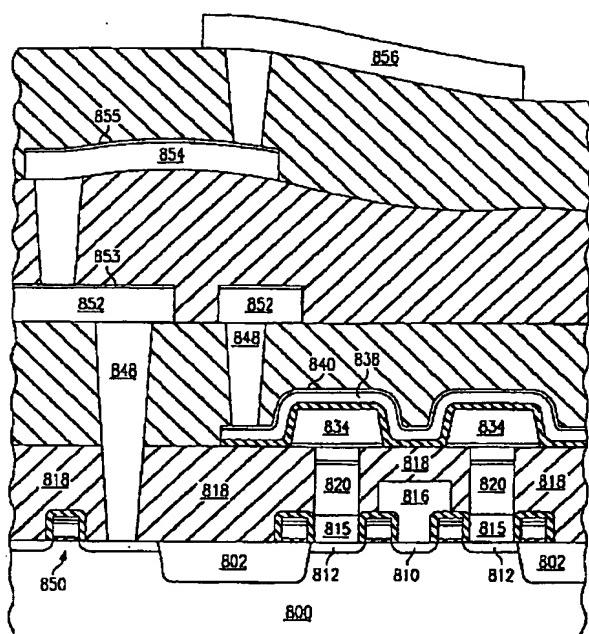
【図10】



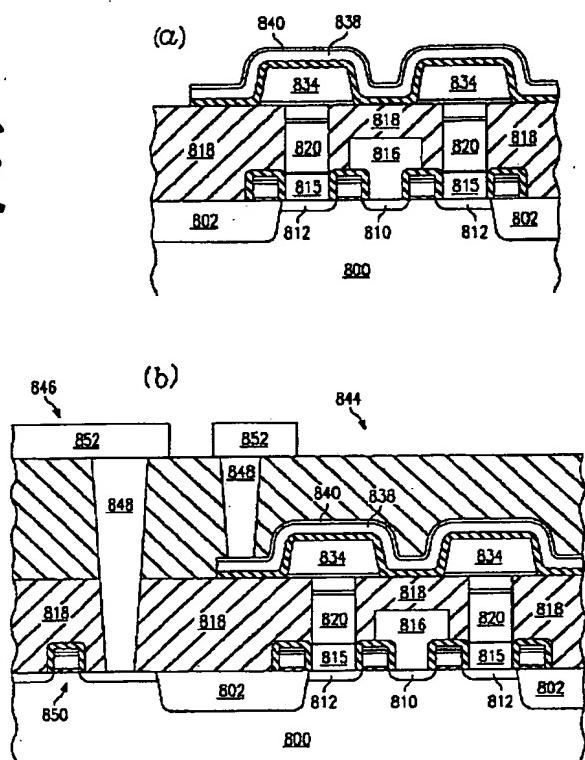
【図11】



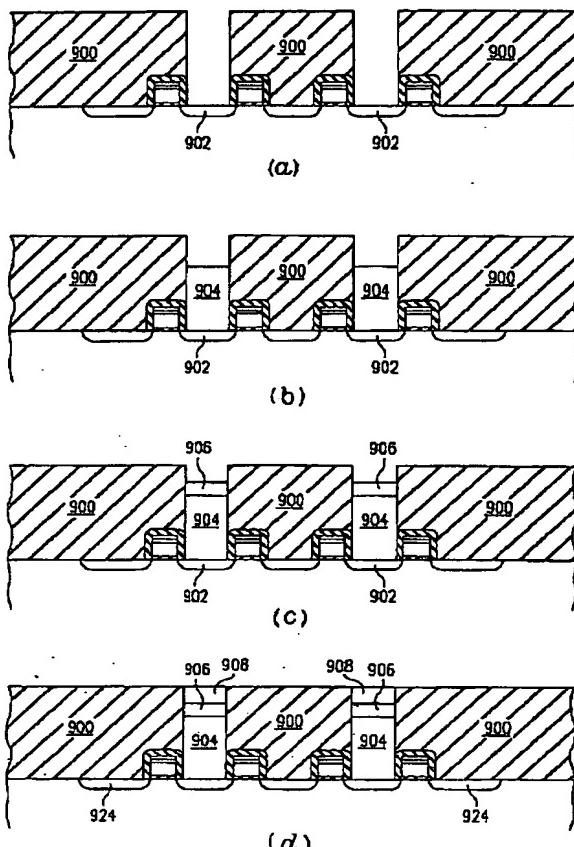
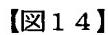
【図13】



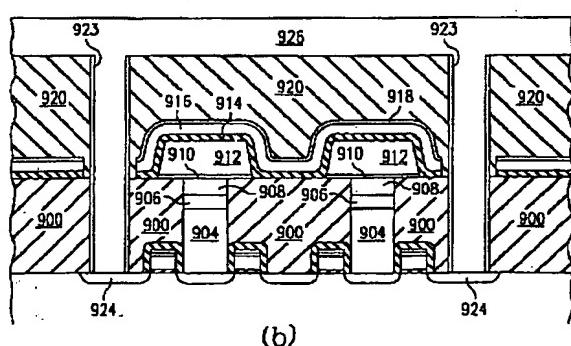
【図12】



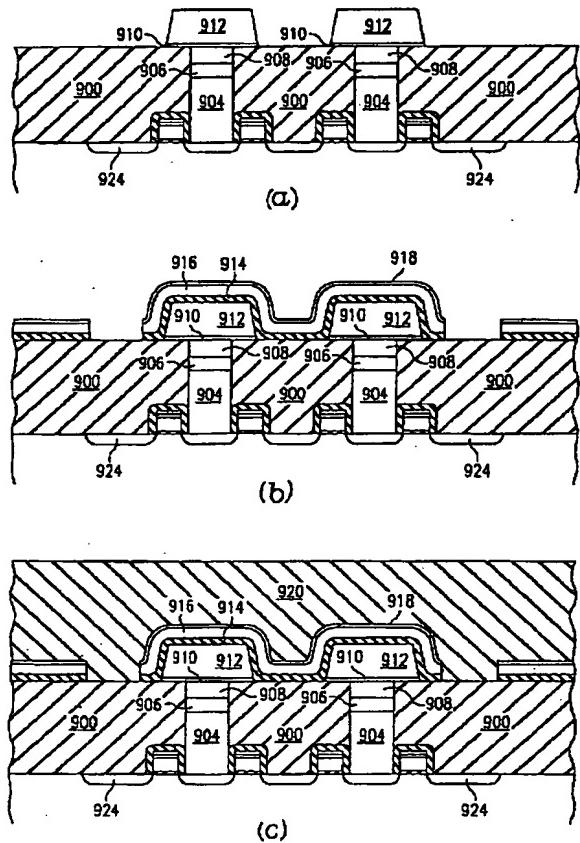
[图16]



(a)



【図15】



フロントページの続き

(72)発明者 ラジェシュ クハマンカル
アメリカ合衆国 テキサス州アービング,
エヌ. マッカーサー ブルーバード 6328
ナンバー2112

(72)発明者 グレン エイ. セルニイ
アメリカ合衆国 テキサス州アレン, レイ
クワンド 607

(72)発明者 マーク アール. ピソケイ
アメリカ合衆国 テキサス州ダラス, プレ
ストン ロード 14255 ナンバー838

(72)発明者 ルイジ コロンボ
アメリカ合衆国 テキサス州ダラス, イエ
ロウ ロック トレイル 6144

(72)発明者 マーク エイ. クレスリイ
アメリカ合衆国 テキサス州リチャードソン,
イー. スプリング バレイ 1119